

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出版公開
昭57-14922

⑫ Int. Cl.³
G 06 F 1/04
13/00

識別記号

厅内整理番号
6974-5B
7361-5B

⑬ 公開 昭和57年(1982)1月26日
発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 記憶装置

⑮ 特願 昭55-89232
⑯ 出願 昭55(1980)7月2日
⑰ 発明者 田栗順一
秦野市堀山下1番地株式会社日

立製作所神奈川工場内
⑱ 出願人 株式会社立製作所
東京都千代田区丸の内1丁目5
番1号
⑲ 代理人 弁理士 寺田利幸

明細書

1. 発明の名称 記憶装置

2. 特許請求の範囲

中央処理装置の基本クロックに同期して動作する記憶装置において、インタフェース信号の受信および送信のクロックを上記基本クロックから選択するクロック・セレクタと、該クロックの選択条件が外部から設定されることにより該選択条件で上記クロック・セレクターを制御する構成制御レジスタとを、複数組設けることを特徴とする記憶装置。

3. 発明の詳細な説明

本発明は、記憶装置(以下MSと記す)に満たし特にインタフェース信号の受信および送信クロックを自由に選択できるMSに関するものである。中央処理装置(以下CPUと記す)の基本クロックに同期してインタフェース信号の受信および送信動作を行うMSにおいては、CPUのマシンサイクル、およびCPUとMSとの間のケーブル長等による遅れを考慮して、CPUとMS間の伝送時間

を、 $\frac{1}{4}$ 、 $\frac{1}{2}$ 、 $\frac{3}{4}$ または $\frac{1}{4}$ マシン・サイクル等のうちの何れかに決定している。

それから、MSはCPUにおけるインターフェース信号の送信および受信時間と、さらに前述のように決定された伝送時間により、インターフェース信号の受信および送信クロックを決定する。

第1図は、従来のMSとCPUの接続図である。

MSには、インターフェース受信ラッチ2、インターフェース送信ラッチ3、制御部4および記憶部5が設けられ、インターフェース受信ラッチ2と送信ラッチ3を介してCPUに接続される。

CPUから伝送される。本のインターフェース信号S1(1-0)は、各クロック信号C1でインターフェース受信ラッチ2にリセットされる。このリセット情報により、制御部4および記憶部5が動作する。

インターフェース送信ラッチ3は、この一連の動作の報告情報をクロック信号C1により、本のインターフェース信号S0(1-0)としてCPUに送信する。

第1図の場合、インターフェース受信ラッシュ2とインターフェース送信ラッシュ3のラッシュクロック11、12は、各々CPU6のクロック発生器10から分配されたクロックが使用され、CPU6に送信するインターフェース信号の送信および受信クロックに対し、CPU6とHS1間の転送時間(1/4、3/4、5/4または7/4 マシン・サイクル等)だけずらしたクロックが用いられる。

このように、従来は、HSにおけるインターフェース信号の受信および送信のクロックが、ハードウェアにより固定されているため、マシン・サイクルの変更、接続ケーブル長の変更が発生した場合、ハードウェアの大規模な変更が必要である。また、マシン・サイクルまたは接続ケーブル長の異なる他のCPUからHSを共用することが不可能であり、HSは特定のCPU専用になってしまい。

本発明の目的は、このような従来の問題を解決するため、インターフェース系の時間関係に論理的な自由度を与え、ハードウェアを変更する

する。

インターフェース送信ラッシュ2は、この一連の動作の報告情報を、クロック信号S1(1--1)により、本のインターフェース信号S1(1--1)としてCPU6に送信する。

HS1は、これらの他に構成制御レジスタ2およびクロック・セレクタ8を備えており、インターフェース受信ラッシュ2およびインターフェース送信ラッシュ3のラッシュ・クロックは、各々クロック・セレクタ8により論理的に選択されたクロック11または12を受ける。また、このクロック・セレクタ8による論理的なクロック選択は構成制御レジスタ7により制御される。さらに構成制御レジスタ7への選択条件の書き込みはスマート・インまたはペネルのスイッチ操作等の機械的万能により実行可能である。

なお、入出力インターフェース信号に対し、これらの構成制御レジスタ7、クロック・セレクタ8は複数組用意されており、各々構成制御レジスタ7への書き込みにより、インターフェース

ことなくマシン・サイクルの異なる多種のCPUへの接続、およびインターフェース系の時間関係の変更を可能にしたHSを提供することにある。

本発明のHSは、インターフェース信号の受信および送信のタイミングを決定する複数個のクロック選択用セレクタと、これらのセレクタと対をなし、かつセレクタの選択条件を制御する構成制御レジスタを設け、この構成制御レジスタに外部から制御情報を書き込むことにより、インターフェース信号の受信、送信クロックを選択することを特徴としている。

以下、本発明の実施例を、第2図により説明する。

HS1は、従来と同じく、インターフェース受信ラッシュ2、インターフェース送信ラッシュ3、制御部4とおよび記憶部5を備え、CPU6に接続される。CPU6から伝送された、本のインターフェース信号S1(1--1)は、各々クロック信号11でインターフェース受信ラッシュ2にラッシュされる。このラッシュ情報により、制御部4および記憶部5が動作

信号の受信および送信クロックを論理的に自由に選択することが可能である。

以上説明したように、本発明によれば、HSのインターフェース信号の受信および送信クロックを論理的に自由に選択できるため、マシン・サイクルまたは接続ケーブル長の異なる他のCPUによるHSの共用が可能であり、また特定のCPUと接続された状態では、マシン・サイクルの変更、接続ケーブル長の変更、あるいはノード電子の性能変更の際に、ハードウェアを変更する必要がない。さらに、論理的にクロック信号を変更して、インターフェース信号のマージナル試験を簡単に行うことができる。

4 図面の簡単な説明

第1図は従来のHSとCPUとの接続図、第2図は本発明の実施例を示すHSとCPUとの接続図である。

1…記憶装置(HS)
2…インターフェース受信ラッシュ
3…インターフェース送信ラッシュ

- 4 … 國際部 5 … 記憶部
 6 … 中央處理装置 (CPU)
 7 … 構成制御レジスタ 8 … フロッタ・セレ
 -9-
 10 … フロッタ発生部
 10-1 … 基本フロッタ
 SI (1-a) … インタフェース受信信号
 SI (1-a) … インタフェース送信信号

代理人弁理士 寺田利

図1

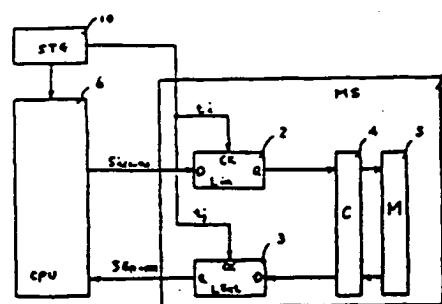


図2

